

27.04.00

09/720142

## 日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

EJU

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1999年 4月27日

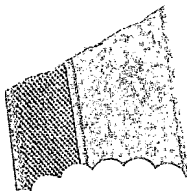
REC'D 26 JUN 2000

出 願 番 号  
Application Number:

平成11年特許願第119648号

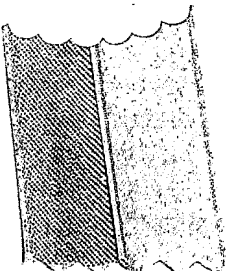
出 願 人  
Applicant(s):

セイコーエプソン株式会社

PRIORITY  
DOCUMENT

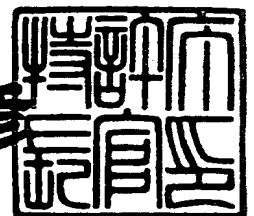
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 6月 9日



特 許 庁 長 官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3042292

【書類名】 特許願

【整理番号】 J0071972

【提出日】 平成11年 4月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/14

【発明の名称】 半導体集積回路

【請求項の数】 7

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 山田 陽一

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代表者】 安川 英昭

【代理人】

【識別番号】 100093388

【弁理士】

【氏名又は名称】 鈴木 喜三郎

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 データを記憶するためのメモリと、

前記半導体集積回路の製造に関する情報を発生する情報発生回路と、

前記半導体集積回路がリセットされた後に前記情報を前記メモリに書き込むための書き込み回路と、

を具備することを特徴とする前記半導体集積回路。

【請求項 2】 前記メモリに書き込まれた前記情報を読み出す外部のプロセッサとの接続を行うための端子をさらに具備することを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】 外部のメモリと接続される半導体集積回路であって、

前記メモリとの接続を行うための端子と、

前記半導体集積回路の製造に関する情報を発生する情報発生回路と、

前記半導体集積回路がリセットされた後に前記情報を前記メモリに書き込むための書き込み回路と、

を具備することを特徴とする前記半導体集積回路。

【請求項 4】 前記メモリに書き込まれた前記情報を読み出すプロセッサをさらに具備することを特徴とする請求項 1 又は 3 に記載の半導体集積回路。

【請求項 5】 前記メモリは、前記プロセッサがキャッシュとして用いるメモリであることを特徴とする請求項 2 又は 4 のいずれかに記載の半導体集積回路。

【請求項 6】 前記書き込み回路が、前記半導体集積回路の製造に関する情報を前記メモリの所定の専用領域のみに書き込むことを特徴とする請求項 1 から 5 のいずれか 1 項に記載の半導体集積回路。

【請求項 7】 前記情報が、I Cチップの製造履歴又は製造会社番号を示す識別番号であることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に関し、特に、ICチップの製造履歴や製造会社番号等の識別番号（ID）を有する半導体集積回路に関する。

【0002】

【従来の技術】“Prior Art”

従来の半導体集積回路（IC）においては、ICチップの製造履歴や製造会社番号等を示すIDが、そのICチップ内に設けられたID参照用レジスタに記憶され、外部のCPUから読み出されて、種々の目的に使用されるものがあった。

【0003】

図6に、このような従来の半導体集積回路と外部回路との接続を示す。図6において、半導体集積回路の内部には、IDを発生するためのID発生回路1と、IDを記憶するためのID参照用レジスタ2と、例えばキャッシュメモリ等として用いられる内蔵メモリ3とが含まれている。ICチップの製造履歴や製造会社番号等を示すIDは、ID発生回路1で発生され、ID参照用レジスタ2に記憶される。このIDは、外部のCPU4によって読み出され、ソフトウェアの一種であるファームウェア5によって、IDを判別してICチップの製造履歴や製造会社番号等を特定することにより、ICに対応した制御を行っていた。

【0004】

【発明が解決しようとする課題】

しかしながら、ID参照用レジスタ2を設けるために、8ビットアドレスの場合で約100ゲートが必要となり、しかも回路毎にレジスタが必要となるので、回路規模が増大してしまうという問題があった。

【0005】

そこで、上記の点に鑑み、本発明の目的は、IDを記憶するために必要とするIC内部の回路規模を低減することである。

【0 0 0 6】

【課題を解決するための手段】

以上の課題を解決するため、本発明の第 1 の観点による半導体集積回路は、データを記憶するためのメモリと、半導体集積回路の製造に関する情報を発生する情報発生回路と、半導体集積回路がリセットされた後にこの情報をメモリに書き込むための書き込み回路とを具備することを特徴とする。

【0 0 0 7】

ここで、上記第 1 の観点による半導体集積回路は、メモリに書き込まれた情報を読み出す外部のプロセッサとの接続を行うための端子をさらに具備しても良い。

【0 0 0 8】

また、本発明の第 2 の観点による半導体集積回路は、外部のメモリと接続される半導体集積回路であって、メモリとの接続を行うための端子と、半導体集積回路の製造に関する情報を発生する情報発生回路と、半導体集積回路がリセットされた後にこの情報をメモリに書き込むための書き込み回路とを具備することを特徴とする。

【0 0 0 9】

ここで、上記第 1 又は第 2 の観点による半導体集積回路は、メモリに書き込まれた情報を読み出すプロセッサをさらに具備しても良い。

【0 0 1 0】

また、上記メモリは、プロセッサがキャッシュとして用いるメモリであっても良い。

【0 0 1 1】

さらに、上記第 1 又は第 2 の観点による半導体集積回路において、書き込み回路が、半導体集積回路の製造に関する情報をメモリの所定の専用領域のみに書き込むようにしても良い。

【0 0 1 2】

ここで、半導体集積回路の製造に関する情報は、I C チップの製造履歴又は製造会社番号を示す識別番号であっても良い。

## 【0013】

以上の様に構成した本発明に係る半導体集積回路によれば、従来使用されていたID参照用レジスタをID書き込み回路と汎用メモリに置き換えることにより、IDを記憶するために必要とするIC内部の回路規模を大幅に低減することができる。

## 【0014】

## 【発明の実施の形態】

以下、図面に基づいて本発明の実施の形態について説明する。尚、同一の要素には同一の番号を付して説明を省略する。

## 【0015】

図1は、本発明の第1の実施形態に係る半導体集積回路と外部回路との接続を示す。本実施形態は、メモリを内蔵する半導体集積回路(IC)とCPUを含む外部回路との接続により構成される装置に適用されるものである。図1において、ICの内部には、IDを発生するID発生回路11と、リセット信号に応答してIDを書き込むためのID書き込み回路12と、例えばキャッシュメモリ等として用いられる内蔵メモリ13とが少なくとも含まれている。

## 【0016】

IDは、ICチップの製造履歴(例えば製品バージョン)や製造会社番号等の情報を表している。ID発生回路11において、電源に接続して正転又は反転した信号を用いてIDを発生する。このIDは、ID書き込み回路12により内蔵メモリ13の任意の番地(アドレス)に記憶される。IC内蔵メモリ13は接続端子を介して外部のCPU4に接続されており、IDは外部のCPU4によって読み出され、ソフトウェアの一種であるファームウェア5によって、IDを判別してICチップの製造履歴や製造会社番号等を特定することにより、ICに対応した制御が行われる。ID書き込み回路12は、20〜30ゲートで構成することができる。

## 【0017】

ここで、CPU4が直接ID発生回路11からIDを読み出さずに、ID参照用レジスタ2(図6)や内蔵メモリ13からIDを読み出しているのは、クロッ

クに同期させてCPUバスにIDを乗せるためである。

【0018】

以上のように構成された半導体集積回路の動作について、図2を参照しながら説明する。なお、この半導体集積回路は入力クロック信号CLKに同期して動作する。

【0019】

最初に、IDの書き込み動作について説明する。装置の電源投入後、ICのパワーオンによるリセットが行われてリセット信号XRSTがアクティブ（本実施形態においてはローレベルでアクティブ）となり、ID書き込み回路12もリセットされる。次に、パワーオンによるリセットが解除されてリセット信号XRSTがハイレベルとなる。これに応答して、ID書き込み回路12は、内蔵メモリ13のアドレス信号RAMADDRをID書き込みアドレスAddressに設定し、内蔵メモリ13のリード／ライト信号RAMRWをライト側（ローレベル）に設定する。さらに、内蔵メモリ13のチップセレクト信号RAMCSをON（ハイレベル）とすることにより、内蔵メモリ13の指定されたアドレスに、入力データ信号RAMINとして入力されたIDが書き込まれる。

【0020】

次に、IDの読み出し・判別動作について説明する。まず、CPU4が、CPUバスを介して、IC内蔵メモリ13の指定されたアドレスからIDを読み出す。次に、ファームウェア5により、CPUが読み出したIDを変数に変換し、IDを認識する。

【0021】

本実施形態によれば、従来使用されていたID参照用レジスタ2（図6）の代りにID書き込み回路12と内蔵メモリ13を用いることにより、IDの記憶のために要するゲート数を100から20～30に減少させることが可能となる。

【0022】

次に、本発明の第2の実施形態について説明する。

【0023】

図3は、本発明の第2の実施形態に係る半導体集積回路と外部回路との接続を



示す。本実施形態は、メモリを内蔵しない半導体集積回路（IC）とメモリ及びCPUを含む外部回路との接続により構成される装置に適用されるものである。図3において、ICの内部には、IDを発生するID発生回路21と、リセット信号に応答してIDを書き込むためのID書き込み回路22とが少なくとも含まれている。本実施形態においては、IC内部にメモリを内蔵していないので、IDの記憶のために外部メモリ23を使用する。ICチップの製造履歴（例えば製品バージョン）や製造会社番号等を示すIDは、ID発生回路21により発生され、ID書き込み回路22により接続端子を介して外部メモリ23の任意の番地（アドレス）に記憶される。外部メモリ23は外部のCPU4に接続されており、IDは外部のCPU4によって読み出される。ここで、ID書き込み回路22は、20～30ゲートで構成することができる。

#### 【0024】

以上のように構成された半導体集積回路の動作について、図4を参照しながら説明する。なお、この半導体集積回路は入力クロック信号CLKに同期して動作する。

#### 【0025】

最初に、IDの書き込み動作について説明する。装置の電源投入後、ICのパワーオンによるリセットが行われてリセット信号XRSTがアクティブ（本実施形態においてはローレベルでアクティブ）となり、ID書き込み回路22もリセットされる。次に、パワーオンによるリセットが解除されてリセット信号XRSTがハイレベルとなる。これに응答して、ID書き込み回路22は、IDを記憶するための行アドレスを指定するために、アドレス信号RAMADDRをID書き込み行アドレスRow Addressに設定し、外部メモリ23の行アドレス設定信号RAMRASをアクティブ（本実施形態においてはローレベルでアクティブ）とする。続いて、ID書き込み回路22は、IDを記憶するための列アドレスを指定するために、アドレス信号RAMADDRをID書き込み列アドレスColumn Addressに設定し、外部メモリ23のリード／ライト信号RAMRWをライト側（ローレベル）に設定し、外部メモリ23の列アドレス設定信号RAMCASをアクティブ（本実施形態においてはローレベルでアクテ

イブ) とする。これにより、外部メモリ 2 3 の指定されたアドレスに、入力データ信号 RAMIN として入力された ID が書き込まれる。

【0026】

次に、ID の読み出し・判別動作について説明する。まず、CPU 4 が、CPU バスを介して、外部メモリ 2 3 の指定されたアドレスから ID を読み出す。次に、ファームウェア 5 により、CPU が読み出した ID を変数に変換し、ID を認識する。

【0027】

本実施形態によれば、従来使用されていた ID 参照用レジスタ 2 (図 6) の代りに ID 書き込み回路 2 2 と外部メモリ 2 3 を用いることにより、ID の記憶のために要するゲート数を 1 0 0 から 2 0 ~ 3 0 に減少させることが可能となる。

【0028】

次に、本発明の第 3 の実施形態について説明する。

【0029】

本発明の第 3 の実施形態においては、図 1 または図 3 に示す半導体集積回路と外部回路との接続において、内蔵メモリ 1 3 (図 1) または外部メモリ 2 3 (図 3) の所定の番地 (アドレス) を ID 書き込み専用領域とし、IC リセット時に書き込み回路 1 2 又は 2 2 が ID 書き込み専用領域に ID を書き込むようにしたものである。

【0030】

ID を書き込むべき領域が一般データを記憶するワーク領域内にある場合には、メモリに ID が書き込まれた後では、一般データを上書きされてしまうことにより ID を参照できなくなるおそれがある。そこで、本実施形態のように、ワーク領域外に ID 書き込み専用領域を設けることにより、装置のリセット時以外でも ID を参照できることが保証される。しかも、ワーク領域と ID 書き込み専用領域用とを分離することにより、ファームウェアの設計において、ID を上書きする可能性があるか否かについて注意を払う必要がなくなるという利点もある。

【0031】

以上の実施形態においては、チップの外部にある CPU が ID を読み出す構成

について説明してきたが、本発明は、システム L S I 等のように C P U がチップの内部にある半導体集積回路にも適用することができる（図 5）。

【0032】

例えば、システム L S I に機能の一部が異なる複数の機種が存在し、該機能に対応する I D を読み出すことによって、機能に合わせた動作を行わせることができる。

【0033】

この場合には、I D 発生回路 3 1、I D 書き込み回路 3 2、メモリ 3 3 については先に説明した第 1 又は第 2 の実施形態と同様であり、図 5 に示すように、C P U 3 4 とファームウェア 3 5 が半導体集積回路に内蔵されているだけである。

【0034】

【発明の効果】

以上述べた様に、本発明によれば、I D を記憶するために必要とする I C 内部の回路規模を大幅に低減することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体集積回路と外部回路との接続を示す図である。

【図 2】

本発明の第 1 の実施形態において使用する信号のタイムチャートである。

【図 3】

本発明の第 2 の実施形態に係る半導体集積回路と外部回路との接続を示す図である。

【図 4】

本発明の第 2 の実施形態において使用する信号のタイムチャートである。

【図 5】

本発明の第 1 又は第 2 の実施形態を変形した半導体集積回路を示す図である。

【図 6】

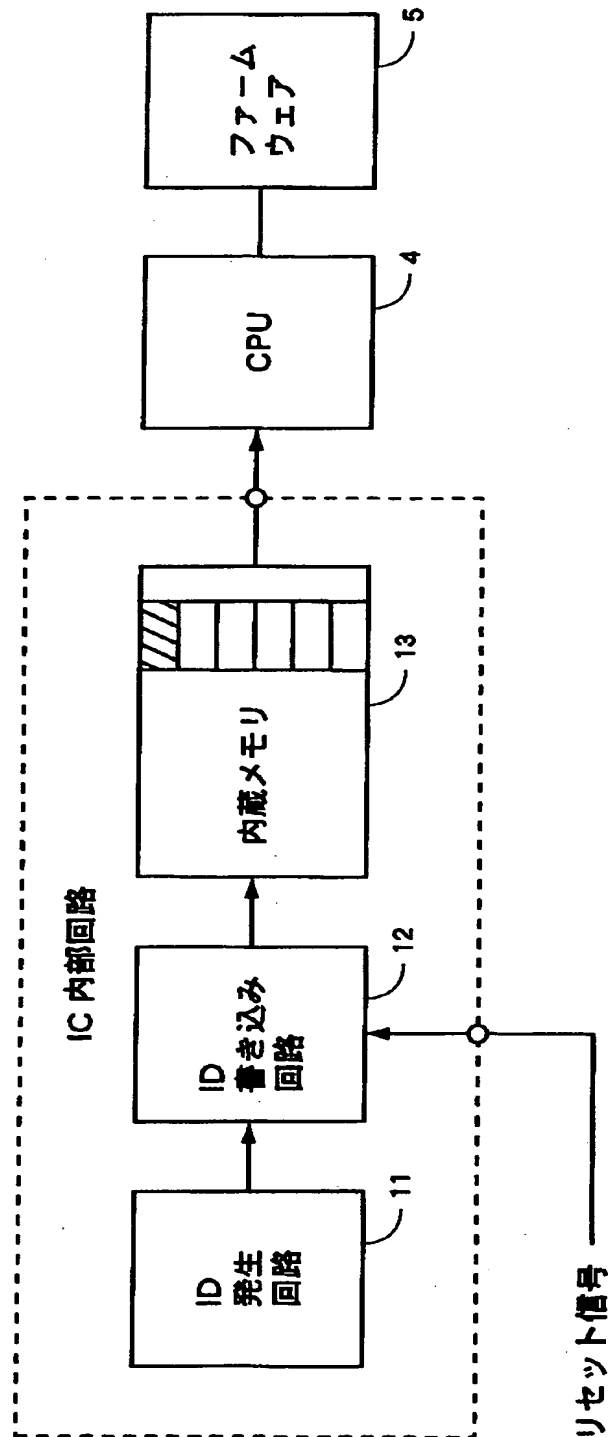
*Prior Art Semiconductor IC w/ External...*  
従来の半導体集積回路と外部回路との接続を示す図である。

【符号の説明】

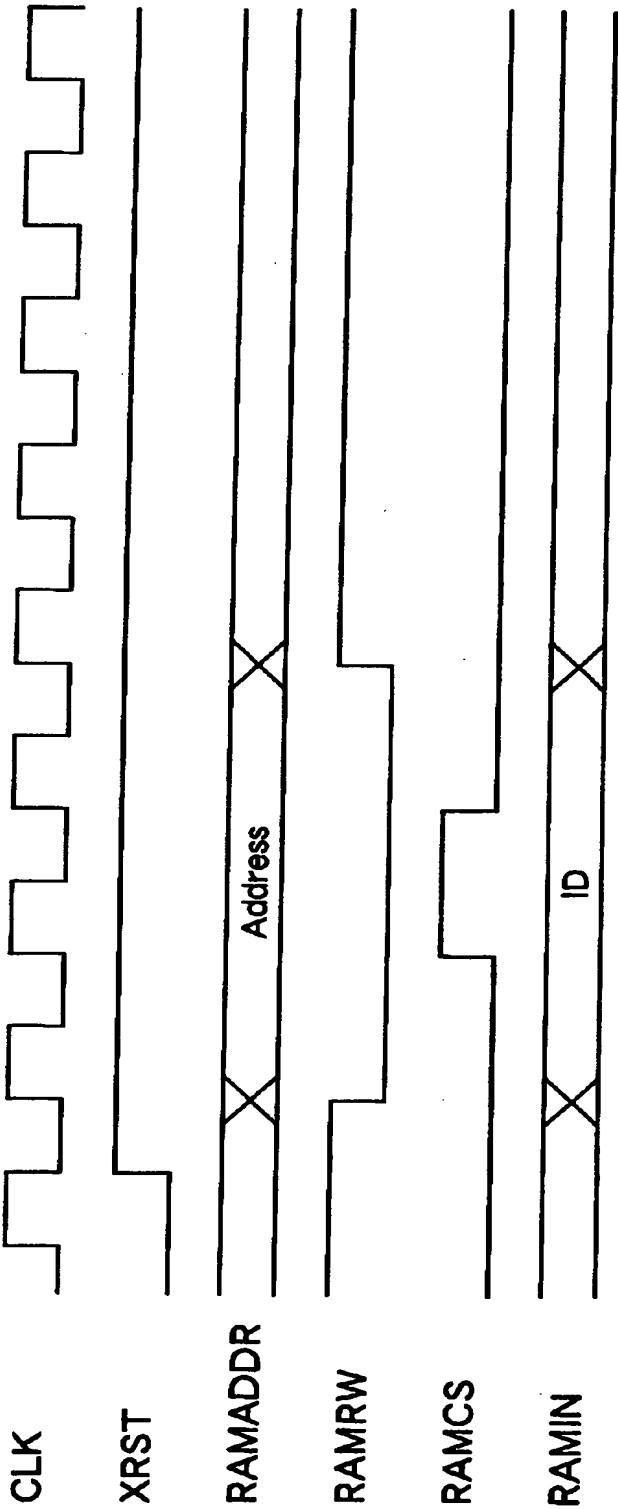
- 1、1 1、2 1、3 1 ID発生回路
- 2 ID参照用レジスタ
- 3、1 3 内蔵メモリ
- 4、3 4 CPU
- 5、3 5 ファームウェア
- 1 2、2 2、3 2 ID書き込み回路
- 2 3 外部メモリ
- 3 3 メモリ

【書類名】 図面

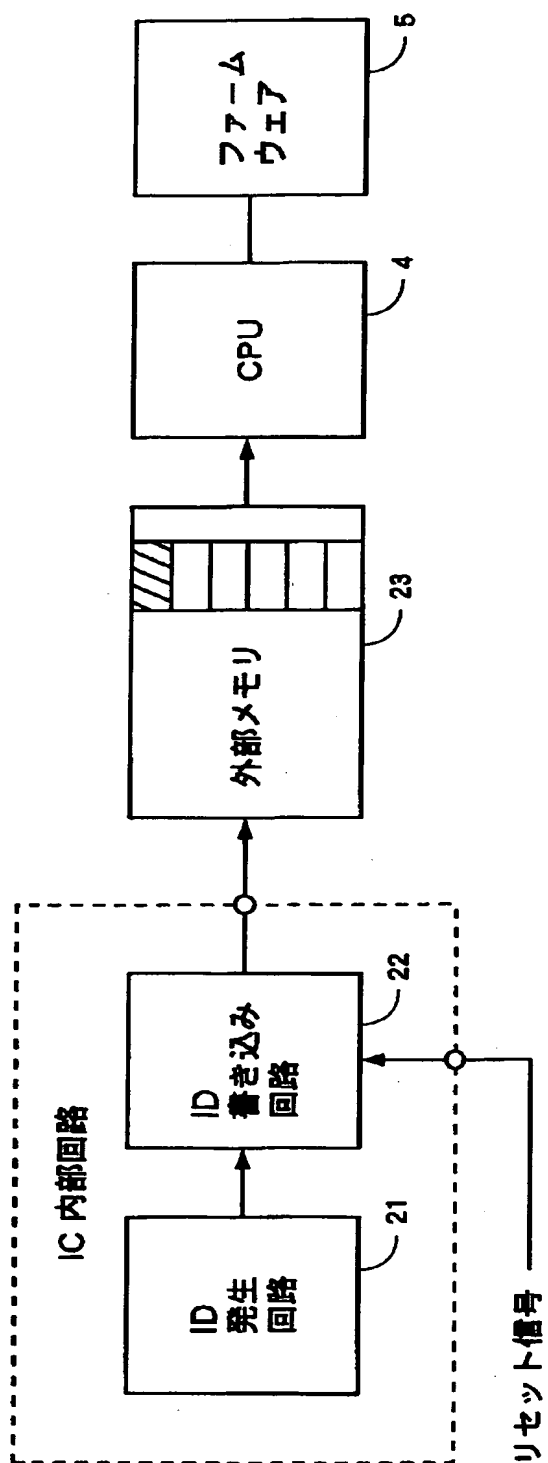
【図 1】



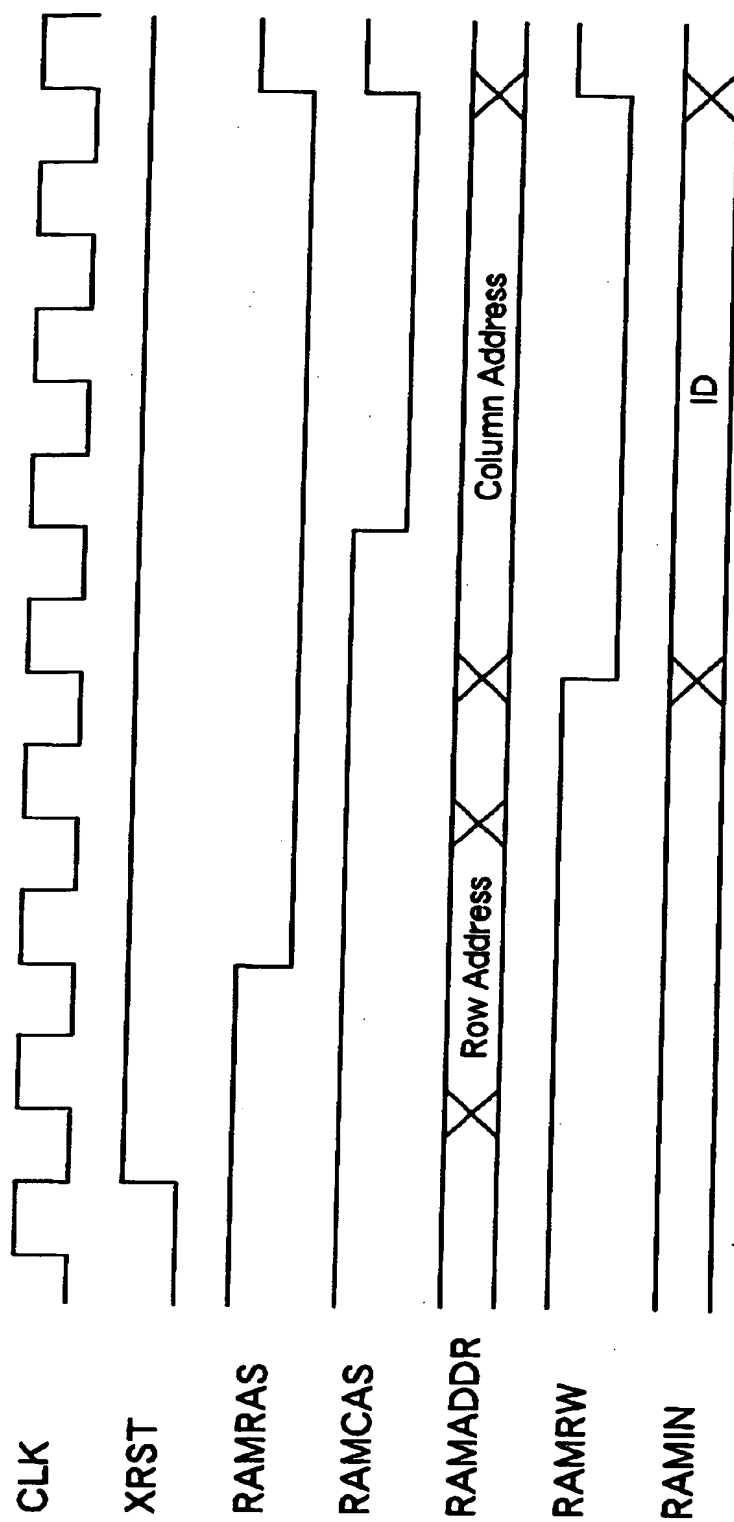
【図 2】



【図 3】

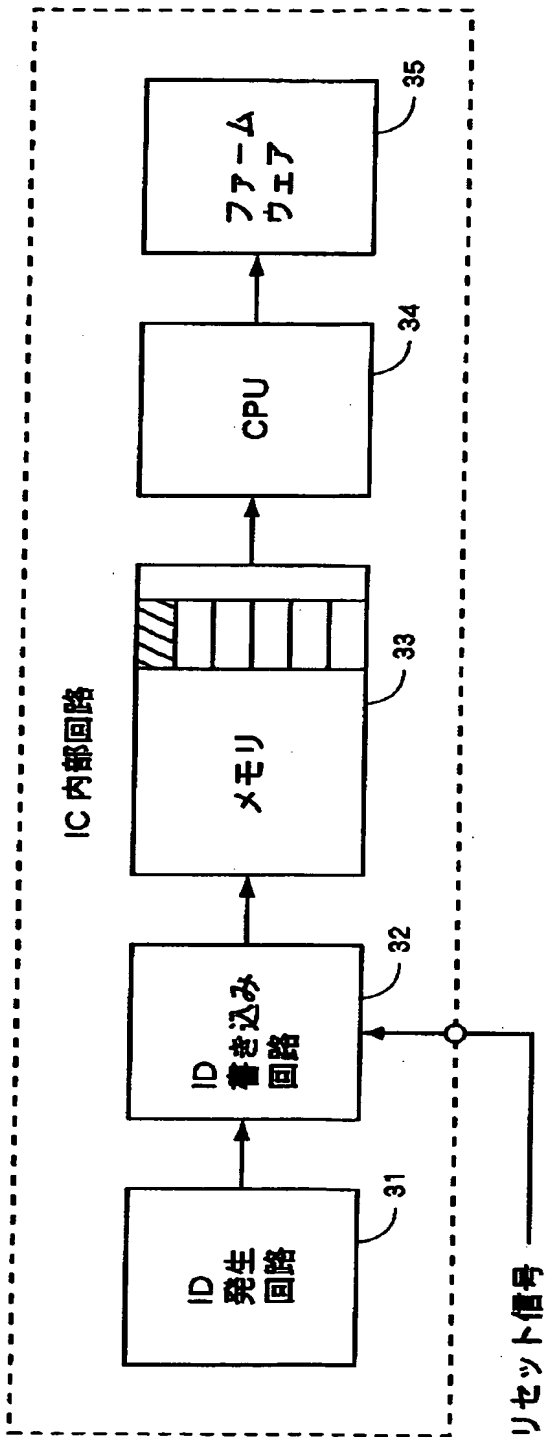


【図 4】

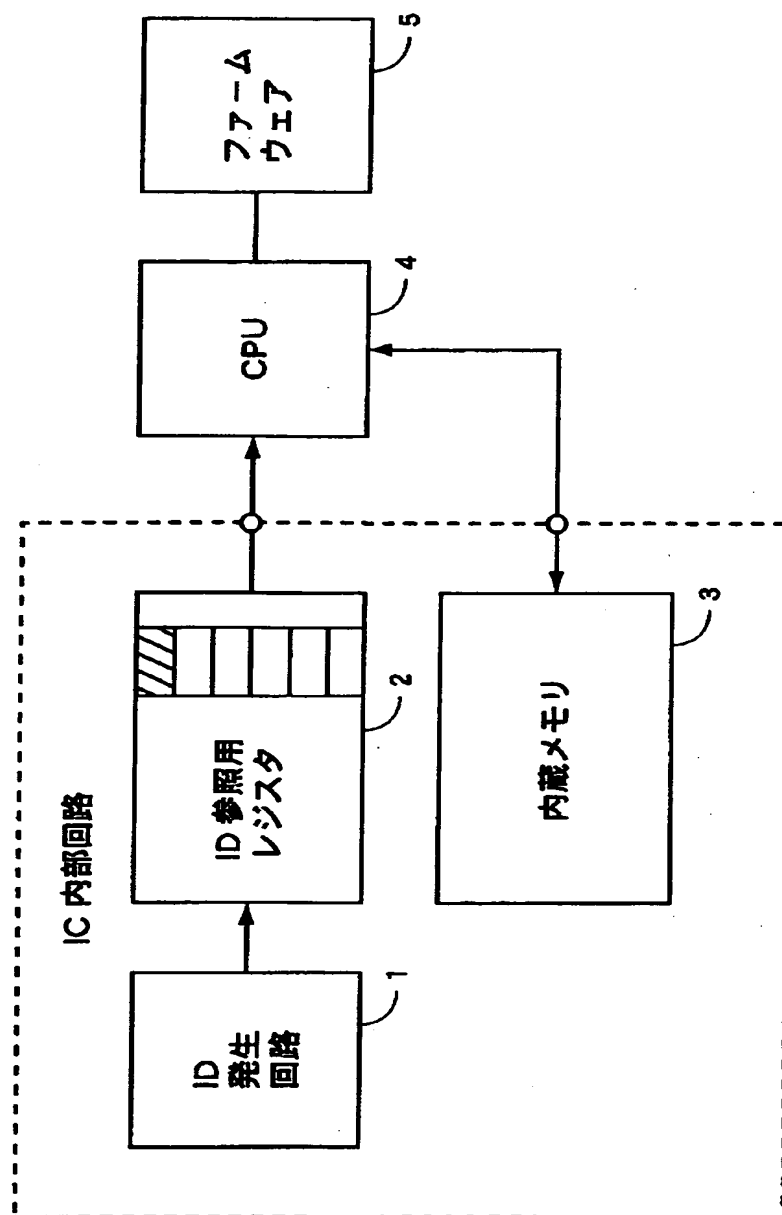




【図 5】



【図6】



【書類名】 要約書

【要約】

【課題】 ICチップの製造履歴や製造会社番号等を示すIDを記憶するために必要とするIC内部の回路規模を低減すること。

【解決手段】 データを記憶するためのメモリと、半導体集積回路の製造に関する情報を発生する情報発生回路と、リセット時にIDをメモリに書き込むための書き込み回路とを具備する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社